

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

121101
11002 U.S. PTO
09/917775
07/31/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 7月31日

出願番号
Application Number:

特願2000-232115

出願人
Applicant(s):

株式会社東芝

2001年 4月 6日

特許庁長官
Commissioner,
Patent Office

及川耕造

出証番号 出証特2001-3026966

【書類名】 特許願

【整理番号】 12437001

【提出日】 平成12年 7月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 親 松 尚 人

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町 7 2 番地

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100064285

【弁理士】

【氏名又は名称】 佐 藤 一 雄

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

互いに逆導電型で、かつ接する第 1 および第 2 のウェルと、
これらの第 1 および第 2 のウェルの境界部上に設けられた、浅いトレンチによるウェル分離構造と、

前記第 1 のウェル中に設けられる第 1 の素子領域と、前記第 2 のウェル中に設けられる第 2 の素子領域が前記ウェル分離構造を挟んで対向位置にあるときには、素子領域が対向関係にない場合よりもウェル分離距離を縮小して配置したことを特徴とする半導体装置。

【請求項 2】

対向する素子領域がスタティック R A M のセルパターンであり、他の回路ブロックよりも幅の狭いウェル分離構造が用いられることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

対向する前記素子領域の一方は、実際の回路上は不要なダミーの素子領域であり、他方の素子領域と少なくとも等しい幅を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記ダミーの素子領域は、それが形成されるウェルの導電型と同じ導電型であることを特徴とする半導体装置。

【請求項 5】

前記ダミーの素子領域は、それが形成されるウェルの導電型と逆の導電型であることを特徴とする半導体装置。

【請求項 6】

対向する前記素子領域の幅が不一致で、かつ少なくともその一方が微細な素子分離構造を要求する場合、他方側の素子領域の幅を前記一方の素子領域の全幅を含んで対向するようにしたことを特徴とする請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関するもので、特に素子領域の分離技術である浅いトレンチによる分離技術STI (Shallow Trench Isolation: STI) に関するものである。

【0002】

【従来の技術】

低消費電力化、高機能化、高性能化の要求から半導体装置は小型化、高集積化の一途をたどっており、これに応える形で微細化プロセスが発展し、これによりさらにデバイス性能改善、高集積化によるLSIの高機能、高性能化が進展している。微細化技術のうちでは、リソグラフィの光の短波長化と、この短波長化を補う位相シフト法等の超高解像度技術の進歩が特にめざましい。

【0003】

これに対し、素子分離構造は、0.25 μ mのプロセス世代を境として、適用プロセスが交代している。すなわち、従来は選択酸化プロセスを採用したLOCOS法が用いられていたが、0.25 μ mプロセス世代からはより微細化を志向したデバイス構造であるSTI (Shallow Trench Isolation) へ移行している。このSTIは、微細加工プロセスでSi基板に浅い溝を形成した後、ここに絶縁膜を埋め込むようにして素子分離構造を得るものである。

【0004】

図11に典型的なSTIの断面構造を示す。この構造は基板10の表面に形成された溝(トレンチ)11内に絶縁物12が埋められたもので、このSTIの直下にpウェル13とnウェル14の境界が位置している。

【0005】

図11(a)の場合にはpウェル13の表面に素子領域である n^+ 拡散層15が形成されているが、nウェル側には対向位置には素子領域が存在していない。このような場合をオープンスペースと称する。

これに対し、図11(b)の場合にはpウェル13の表面に素子領域である n^+ 拡散層15が形成されるとともに、その対向位置のnウェル14の表面には素子領域である p^+ 拡散層16が形成されている。このような場合をナロースペースと称する。

【0006】

このナロースペースの場合、図11(b)に示すように、トレンチ11'の側壁のテーパ角がオープンスペースの場合に比べてより急峻になる。これはローディング効果によるものと考えられている。

【0007】

なお、以下の説明においては、トレンチ端部位置とウェルの境界部との距離をウェル境界距離、分離する素子領域間の距離をウェル分離距離と定義する。ウェル分離距離はSTIの幅に等しい。

【0008】

図12は素子領域が分離されるウェル内に形成されている場合のSTIの幅とテーパ角との関係を示すグラフである。これによるとSTIの幅が小さくなるほどテーパ角が急峻になる傾向が見られる。これは、トレンチを形成するRIE（反応性イオンエッチング）時に被エッチング領域側壁に、エッチング保護膜となるエッチング生成物が付着するが、その量が被エッチング領域の面積に応じて変化するためである。

【0009】

そして、トレンチ側壁のテーパ角が急峻となった場合、図13に示すように素子領域16からトレンチの側面12aおよび底面12bに沿ってpウェル13に達するリーク経路（延面距離）は長くなる。

【0010】

図14は実際の素子形成における実験結果を示すもので、図14(a)は素子領域が対向していない場合、図14(b)は素子領域が対向している場合を示す。これによれば、素子領域が対向していない場合にはSTI幅が $0.2\mu\text{m}$ になると耐圧特性は使用不能な程度まで低下してしまうが、素子領域が対向している場合には $0.2\mu\text{m}$ でも十分な耐圧を有していることがわかる。

【 0 0 1 1 】

【発明が解決しようとする課題】

このように、STI構造をもつLSIでは、ナロースペースの場合にはオープンスペースの場合と比較してトレンチ側壁のテーパ角が急峻となる。

【 0 0 1 2 】

一方、LSI中のウェル分離特性はSTI側面、底面さらにSi表面上でデバイスが実効的にどれだけ分離して配置されているかに依存する。このため、LSIの微細化においては、多様に設計、配置される集積回路においては、上記オープンスペースの結果を元にデザインを決めればならず、微細化という点で大きなデメリットになっている。

【 0 0 1 3 】

一般にウェル分離特性を改善するためには、ウェルの不純物濃度を増大させれば良いが、これにより分離特性が改善される反面、接合容量が増大し、高速動作の観点から不利に働いてしまうという問題がある。

【 0 0 1 4 】

したがって、本発明は、STIを用いた分離構造において、ウェルの不純物濃度を増大させることなく分離特性を向上させることのできる半導体装置を提供することを目的とする。

【 0 0 1 5 】

【課題を解決するための手段】

本発明によれば、互いに逆導電型で、かつ接する第1および第2のウェルと、これらの第1および第2のウェルの境界部上に設けられた、浅いトレンチによるウェル分離構造と、

前記第1のウェル中に設けられる第1の素子領域と、前記第2のウェル中に設けられる第2の素子領域が前記ウェル分離構造を挟んで対向位置にあるときには、素子領域が対向関係にない場合よりもウェル分離距離を縮小して配置したことを特徴とする半導体装置が提供される。

【 0 0 1 6 】

対向する素子領域がスタティックRAMのセルパターンであり、他の回路プロ

ックよりも幅の狭いウェル分離構造が用いられると良い。

【0017】

対向する前記素子領域の一方は、実際の回路上は不要なダミーの素子領域であり、他方の素子領域と少なくとも等しい幅を有することが好ましい。

【0018】

前記ダミーの素子領域は、それが形成されるウェルの導電型と同じ導電型あるいは逆の導電型とすることができる。

【0019】

対向する前記素子領域の幅が不一致で、かつ少なくともその一方が微細な素子分離構造を要求する場合、他方側の素子領域の幅を前記一方の素子領域の全幅を含んで対向させると良い。

【0020】

本発明によれば素子領域がウェル境界を挟んで対向する場合、STIのテーパ角が増大するため、一般のウェル分離ルールに対し、ウェル分離距離を微細化できる。このことを利用して対向する素子領域の幅を一致させ、あるいは実際に回路として使用しないダミーの素子領域を形成することによっても同様の効果を奏することができる。

【0021】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態のいくつかを詳細に説明する。これらの実施の形態では図11に示したように、pウェル13とnウェル14がSTIの下で対向して接しているものとする。

【0022】

(1) 実施の形態1

図1に示すように、素子領域15および16はSTIを挟んで対向配置されているが、素子領域17および18は対向配置されていない。この場合、素子領域15および16はその幅が完全に一致して対向しているため、前述したようにSTI側壁のテーパ角が増大して沿面距離が増大するため、ウェル分離距離は縮小させることができる。これに対し、対向していない素子領域17および18では

、STI側壁のテーパ角は寝たものとなるため、ウェル分離距離はこれよりも大きく確保する必要がある。

【0023】

したがって、各素子領域をすべて対向配置することにより、従来よりも微細なウェル分離距離でデバイスを作ることができ、素子の微細化、高集積化を実現できる。

【0024】

この例としてCMOS型SRAMの例を示す。図2はSRAMの6つのCMOS（相補型）MOSトランジスタより構成される1セルを示す平面図である。基板表面にはpウェル51とnウェル52が隣接して形成されており、この境界部上にはSTI53が形成されている。このSTIを挟んで n^+ 層54と p^+ 層56、 n^+ 層55と p^+ 層57がそれぞれ対向配置されている。また、ゲート電極58、59、60がこれらと交差するように形成されている。対向する素子領域の幅はそれぞれ一致しているので、STI53の幅は従来よりも縮小することができ、全体として小型化、高集積化、低電圧化が可能となる。

【0025】

（2）実施の形態2

図3に示すように、素子領域15と16は一部が対向しているが、対向部分の幅が十分でないため、テーパ角は十分に増加せず、ウェル分離距離を十分に縮小することができない。このため、 p^+ 領域16の横に p^+ ダミー領域19を形成することにより、 n^+ 領域15の全幅で対向するようにする。これにより、図1の場合と同様に対向する素子領域のパターンが存在することになり、より微細なウェル分離を使って素子の微細化を図ることができる。

【0026】

（3）実施の形態3

実施の形態2の考え方を応用すると、対向させる素子領域は実際に使用するものでなくても良いことがわかる。すなわち、ダミーの素子領域でも良い。図4はこのような例を示しており、 n^+ 領域15に対向するようにダミーパターンが設けられている。ただし、その幅は n^+ 領域15の幅に対向する部分を完全に含ん

でいなければならない。したがって、ここに示されたように、実線で記載されたような全く等しい幅、あるいは破線で示すような、これよりも広幅となっていれば条件を満たすことになる。

【 0 0 2 7 】

図 5 および図 6 はその例を示しており、図 5 においては n^+ 領域 1 5 の幅を含み、これよりも広幅の p^+ ダミー領域 2 1 が設けられた例、図 6 においては、同様の広幅の n^+ ダミー領域 2 2 が設けられた例を示している。このように、素子領域は通常のような、ウェルと逆導電型とするばかりでなく、同一導電型で良い。

【 0 0 2 8 】

このように、図 4 ～図 6 の例の場合、ダミー領域を積極的に素子領域に対向させて形成することにより、ウェル分離幅を縮小させることができる。

【 0 0 2 9 】

図 7 ～ 1 0 に上述した本発明の構造を採用した半導体装置の製造方法を示す。

【 0 0 3 0 】

まず、P 型 Si 基板 1 0 1 上に熱酸化により SiO_2 膜 1 0 2 を例えば 1 0 nm の膜厚で形成し、その上に、LPCVD 法により多結晶シリコン膜 1 0 3 を 2 0 0 nm の膜厚で形成し、さらにその上に LPCVD 法により SiO_2 膜 1 0 4 を 2 0 0 nm の膜厚で形成する。次に、レジストを塗布し、写真蝕刻法により素子領域に対応したレジストパターン 1 0 5 を形成する。

【 0 0 3 1 】

このレジストパターン 1 0 5 をマスクとし、多結晶シリコン膜に対して選択比をもつ異方性ドライエッチングで SiO_2 膜 1 0 4 膜をエッチングし、レジスト 1 0 5 を剥離する。これにより形成された SiO_2 膜 1 0 4' をマスクとして、酸化膜に対して選択比が十分に取れる異方性ドライエッチングにより多結晶シリコン膜 1 0 3 をエッチングして 1 0 3' とし、さらに、 SiO_2 膜 1 0 4' をマスクとして、熱酸化膜 SiO_2 1 0 2 をエッチングして 1 0 2' の形状とする（図 7 (b)）。

【 0 0 3 2 】

この積層体102'、103'、104'をマスクとして対酸化膜に対して選択比が十分に取れる異方性ドライエッチングによりSi基板101を、例えば、 $0.5\mu\text{m}$ エッチングして、STIの溝部105を形成する(図1(c))。この溝の幅は、前述したように、この溝を挟んで素子領域が対向するときには、対向しないオープンスペースに対する幅よりも縮小するようにする。

【0033】

次に、LP-CVD法により SiO_2 膜106を $1.5\mu\text{m}$ 堆積し、STI溝部105を絶縁膜106で埋め込む。この後、多結晶シリコンに対して選択比の取れる化学的機械的研磨法(Chemical Mechanical Polishing)により埋め込んだ SiO_2 膜106の平坦化を行い、さらに SiO_2 膜104'を NH_4F あるいはドライエッチングにより多結晶シリコン103'の表面が露出するまでエッチングする(図8(a))。

【0034】

続いて、多結晶シリコン103'を SiO_2 に対して選択比が取れる、等方性ドライエッチングにてエッチング除去し、埋めこみ酸化膜106の膜応力低減のための熱処理を例えば 1000°C にて行う。

【0035】

次に、Si基板上の SiO_2 102'を NH_4F にてエッチングし、改めて SiO_2 107を例えば 800°C の熱酸化により形成し、pウェル領域形成のためボロンを例えば加速電圧 200KeV で、ドーズ量 $8\times 10^{12}\text{cm}^{-2}$ で打ち込み(112)、さらにnMOSFETのしきい値制御のためB(ボロン)を例えば加速電圧 50KeV でドーズ量 $1\times 10^{13}\text{cm}^{-2}$ 、さらにnwell領域形成のためリンを例えば加速電圧 500KeV 、ドーズ量 $2\times 10^{13}\text{cm}^{-2}$ で打ち込み、さらにPMOSFETのしきい値制御のためリンを例えば加速電圧 200KeV 、ドーズ量 $8\times 10^{12}\text{cm}^{-2}$ で打ち込む。この後、 1000°C にて30秒の熱処理により、導入した不純物の活性化を行い、pウェル領域108およびnウェル領域109を形成する(図8(b))。

【0036】

続いて、埋込み酸化膜106の厚さを基板表面まで減少させて106'とし、

Si基放表面の熱酸化膜107を除去し、改めてゲート絶縁膜110を750℃の熱酸化法で6nmの厚さに形成する。続いてLP-CVD法により多結晶シリコンを300nmの厚さで堆積し、レジストを塗布して写真蝕刻法によりゲート電極のレジストパターン111を形成し、これをエッチングマスクとしてSiO₂に対する選択比の十分に取れる異方性ドライエッチングによりゲート電極112を形成する(図8(c))。

【0037】

次に、800℃の熱酸化法によりSi基板上で例えば5nmのSiO₂を形成し、さらに、この後、写真蝕刻法でイオン注入パターンを形成し、n⁺領域には砒素を加速電圧35KeV、ドーズ量 $2 \times 10^{14} \text{ cm}^{-2}$ で、p⁺領域にはBF₂を加速電圧10KeV、ドーズ量 $2 \times 10^{14} \text{ cm}^{-2}$ でイオン注入し、1000℃のN₂雰囲気中で30秒の熱処理にてpウェル108内に浅いn⁺層114を、nウェル内に浅いp⁺層114を形成する(図9(a))。

【0038】

次にLP-CVD法によりSiNを150nm堆積させ、これをSiO₂とエッチング選択比のとれる異方性エッチングを行ってSiN側壁115を形成する。この後、写真蝕刻法でイオン注入パターンを形成し、n⁺領域に、例えば砒素を加速電圧60KeVにてドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 、p⁺領域に、ボロンを加速電圧10KeVにてドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ イオン注入し、1000℃N₂雰囲気中で30秒の熱処理にて深いn⁺層であるソース、ドレイン拡散層116および深いp⁺層であるソース、ドレイン拡散層117を形成するとともに、ゲート電極112をn⁺にドーピングする(図9(b))。

【0039】

この後、MOSFETのソース・ドレイン上およびゲート電極上のSiO₂をNH₄Fで除去し、低抵抗化のために高融点金属として例えばTi/TiN膜をそれぞれ30/20nmの厚さで堆積させる。続いて、700℃のN₂雰囲気中にて30秒の熱処理を行い、硫酸、過酸化水素水の混合液中にてSiと未反応のTiを除去する。この後、800℃のN₂雰囲気中にて30秒の熱処理を行い、低抵抗のTiシリサイド化合物118を形成する(図9(c))。

【0040】

続いて、LP-CVD法により、 $\text{SiN}119$ を 100nm 、BPSGもしくは SiO_2 の層間絶縁膜120を 900nm 堆積させ、CMP（化学的機械的研磨法）で平坦化を行う（図10（a））。

【0041】

その後、写真蝕刻法によりコンタクトのレジストパターンを形成し、 $\text{SiN}119$ とエッチング選択比のとれる異方性エッチングでBPSG/ SiO_2 膜120に開口部121を形成する。その後、 SiO_2 とエッチング選択比のとれる異方性エッチング条件で $\text{SiN}119$ のみを選択的にエッチングする（図10（b））。

【0042】

次に例えばTiをコンタクト底部で 10nm 堆積される様にスパッタリングさせる。この後、例えば 600°C の N_2 雰囲気中にて、30分熱処理を行いTi表面にTiNを形成する。この後、CVD法にてW（タングステン）122を 400nm 堆積させたのち、CMP法によりBPSG上のWを除去し、コンタクト開口部にWの埋め込みを行う。その後、AlCuを 400nm 、Ti/TiNを $5/60\text{nm}$ 堆積させ、写真蝕刻法によりレジストパターンを形成し、これをマスクに異方性エッチングにてAl配線123を形成する（図10（c））。以上の工程により半導体装置が完成する。

【0043】

【発明の効果】

以上のように、本発明によれば、STIによりウェル分離される素子領域を対向配置させてSTI側壁のテーパー角を増大させることにより、対向する素子領域が存在しない場合に対しウェル分離特性を改善することができる。

【0044】

対向する素子領域がスタティックRAMのセルパターンである場合には同じサイズの素子領域が対向し、他の回路ブロックよりも微細化が可能となる。

【0045】

対向する素子領域の一方は、実際の回路上は不要なダミーの素子領域とするこ

とができ、これにより微細なウェル分離が可能となる。

【 0 0 4 6 】

このダミーの素子領域は、それが形成されるウェルの導電型と同じ導電型あるいは逆の導電型であっても電氣的な悪影響はなく、微細なウェル分離が可能となる。

【 0 0 4 7 】

対向する素子領域の幅が不一致で、かつ少なくともその一方が微細な素子分離構造を要求する場合、他方側の素子領域の幅を一方の素子領域の全幅を含んで対向するようにすることにより、S T I のテーパ角を増大させることができ、微細なウェル分離が可能となる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態を示す平面図である。

【図 2】

図 1 の構成が応用された S R A M の 1 セルを示す平面図である。

【図 3】

本発明の第 2 の実施の形態を示す平面図である。

【図 4】

本発明の第 3 の実施の形態を示す平面図である。

【図 5】

図 4 の構成においてダミー領域の導電型をウェルとは逆にした例を示す平面図である。

【図 6】

図 4 の構成においてダミー領域の導電型をウェルと同じにした例を示す平面図である。

【図 7】

本発明を応用して形成される半導体装置の製造工程を示す工程別断面図である。

【図 8】

本発明を応用して形成される半導体装置の製造工程を示す工程別断面図である

【図 9】

本発明を応用して形成される半導体装置の製造工程を示す工程別断面図である

【図 1 0】

本発明を応用して形成される半導体装置の製造工程を示す工程別断面図である

【図 1 1】

オープンスペースとナロースペースを説明する断面図である。

【図 1 2】

STI の幅とテーパ角との関係を示すグラフである。

【図 1 3】

テーパ角の増大による特性向上を示す説明図である。

【図 1 4】

素子領域の対向の有無による耐圧特性の変化を示すグラフである。

【符号の説明】

1 0、1 0 1 半導体基板

1 1、1 0 5 トレンチ 1

1 2、1 0 6 STI

1 3、1 0 8 p ウェル

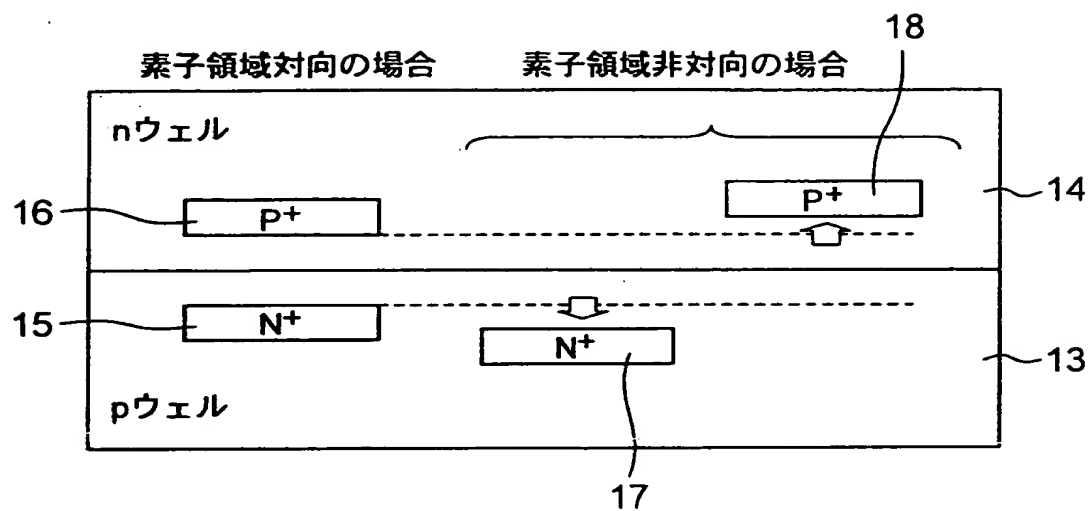
1 4、1 0 9 n ウェル

1 5、1 6、1 7、1 8、1 1 6、1 1 7 素子領域

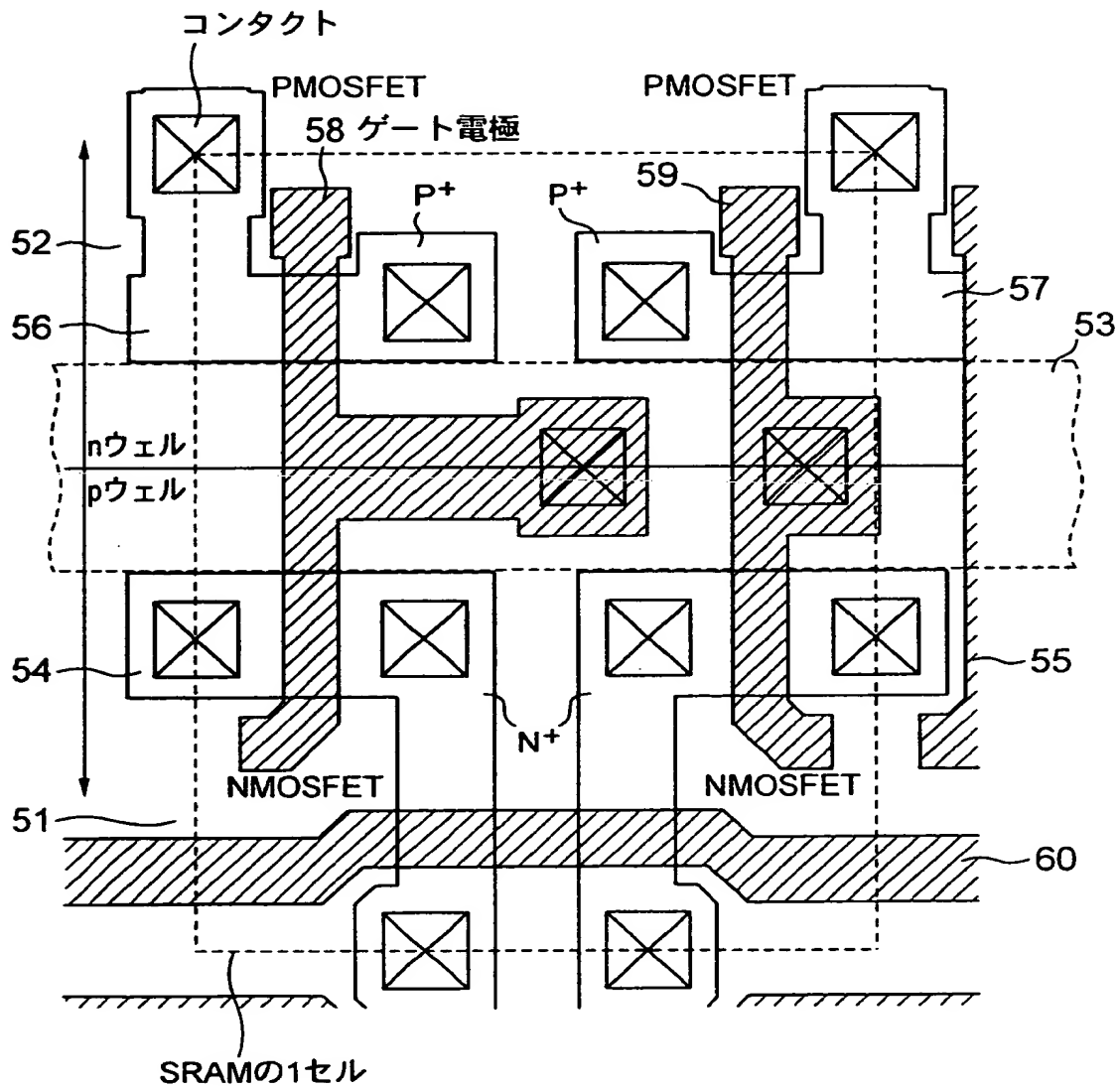
2 0、2 1、2 2 ダミー領域

【書類名】 図面

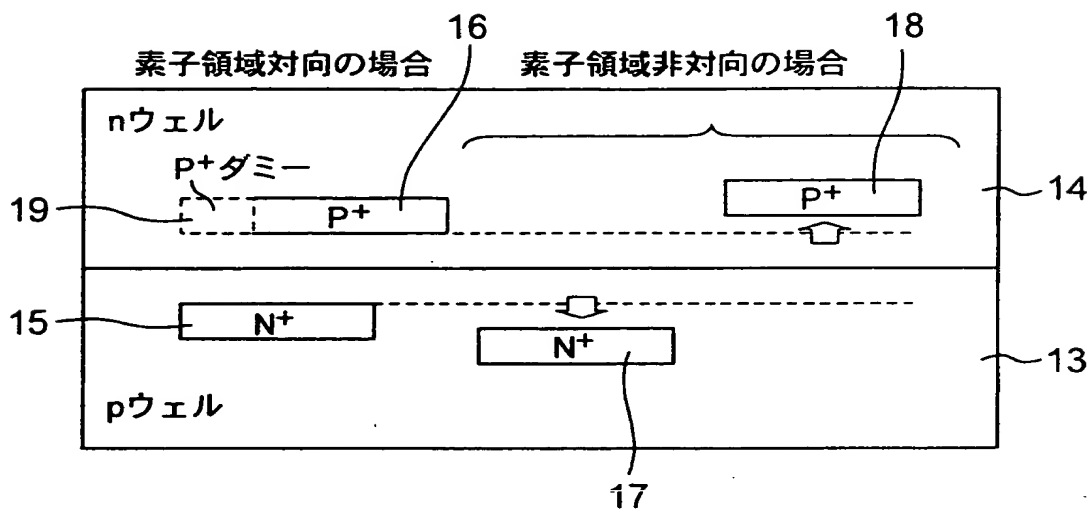
【図 1】



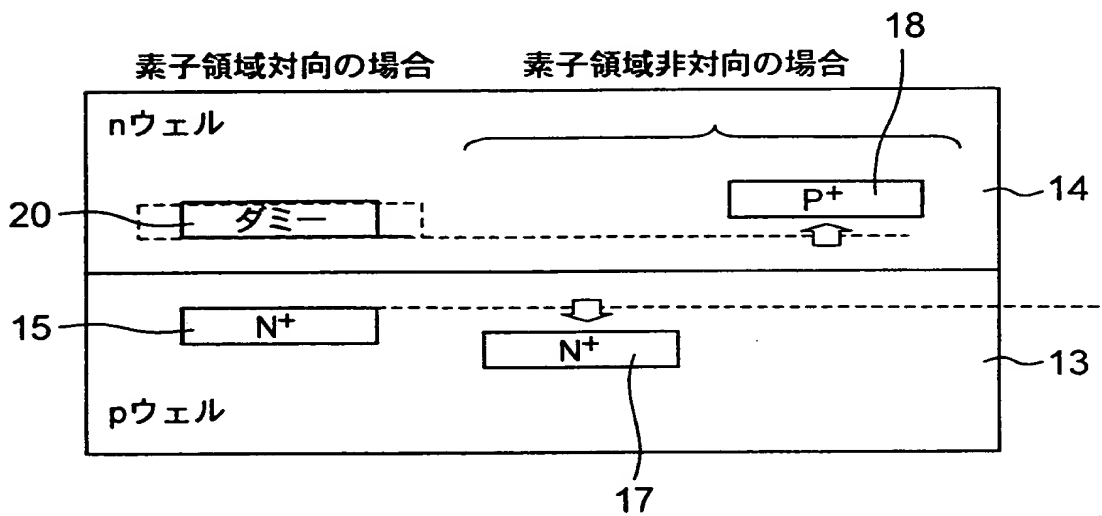
【図2】



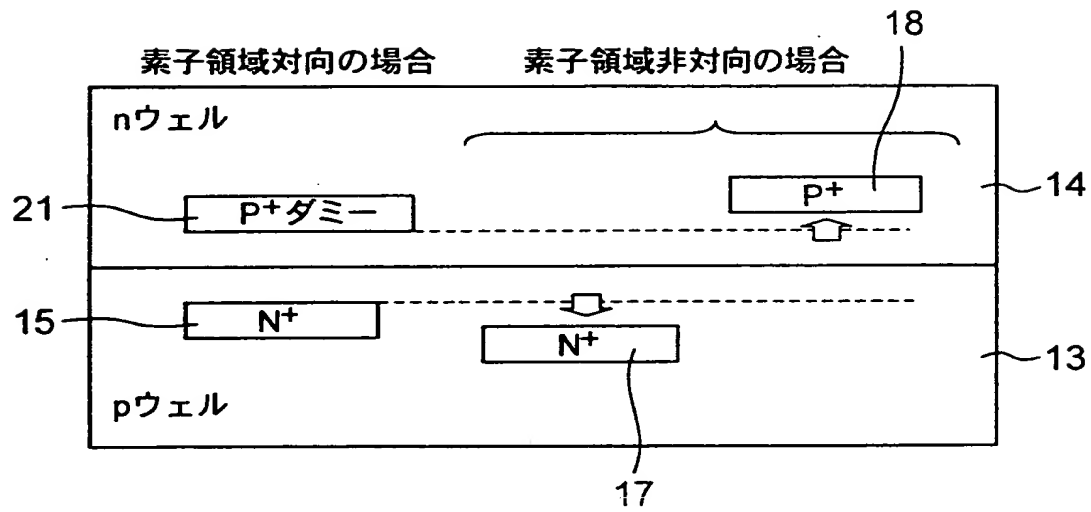
【図 3】



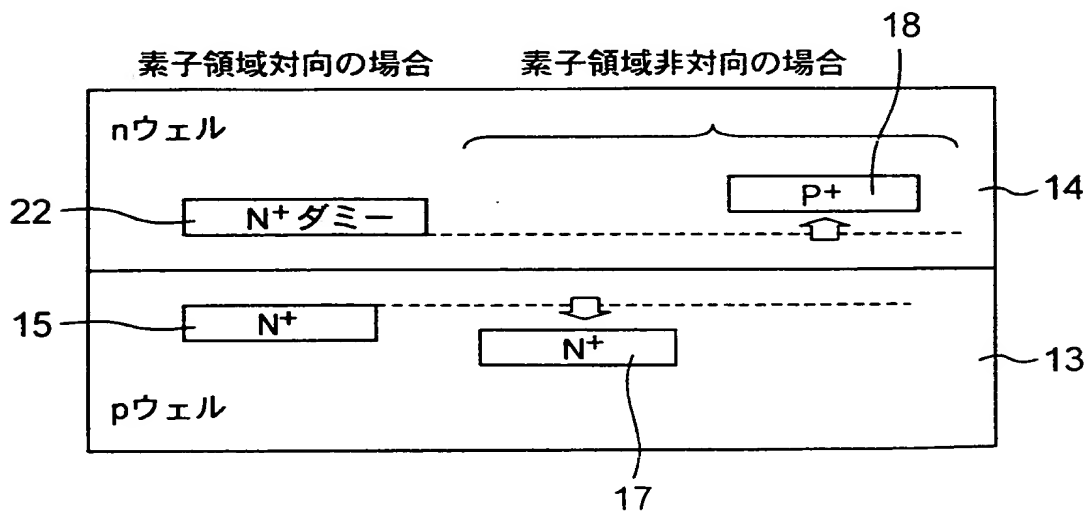
【図 4】



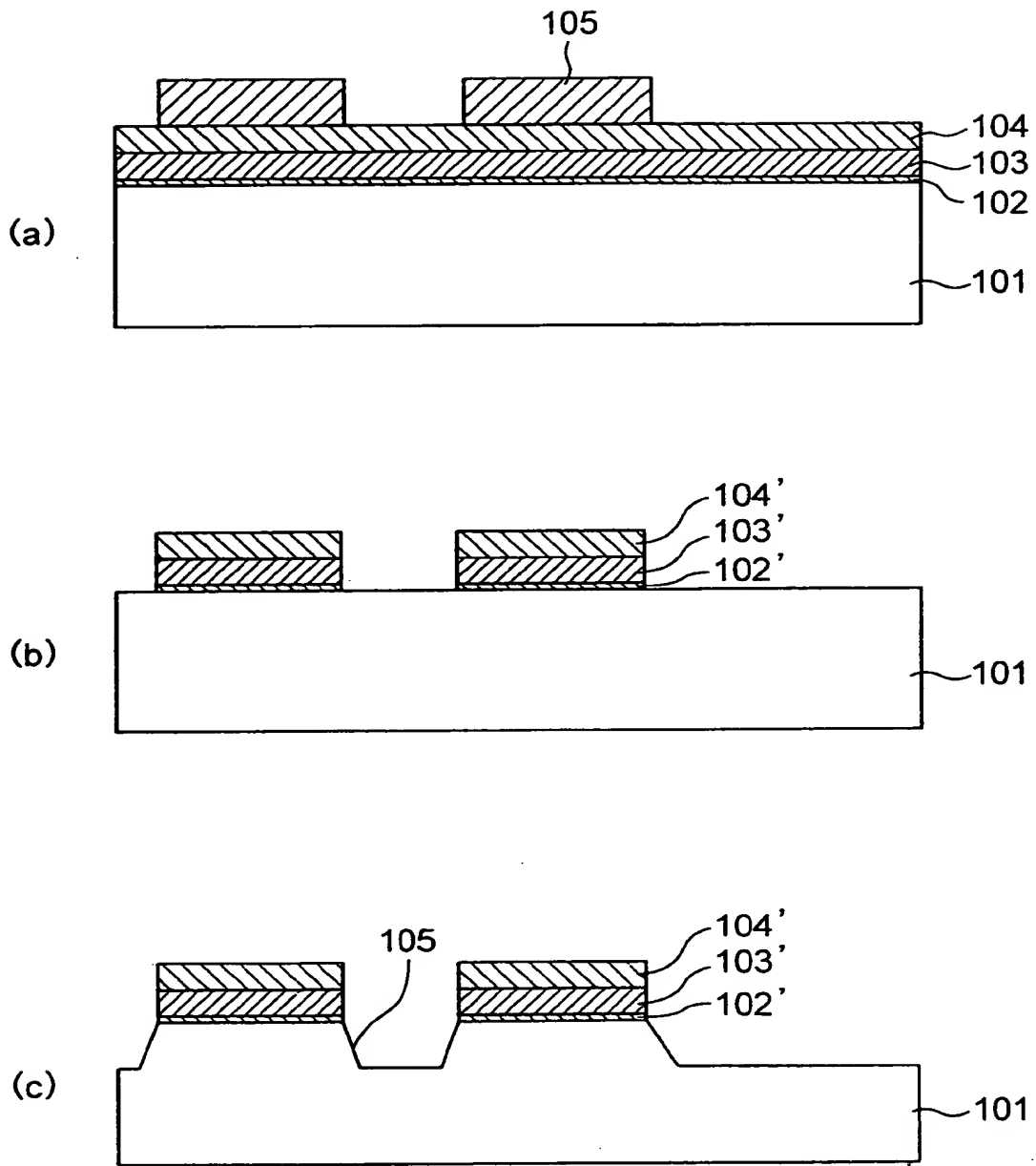
【図 5】



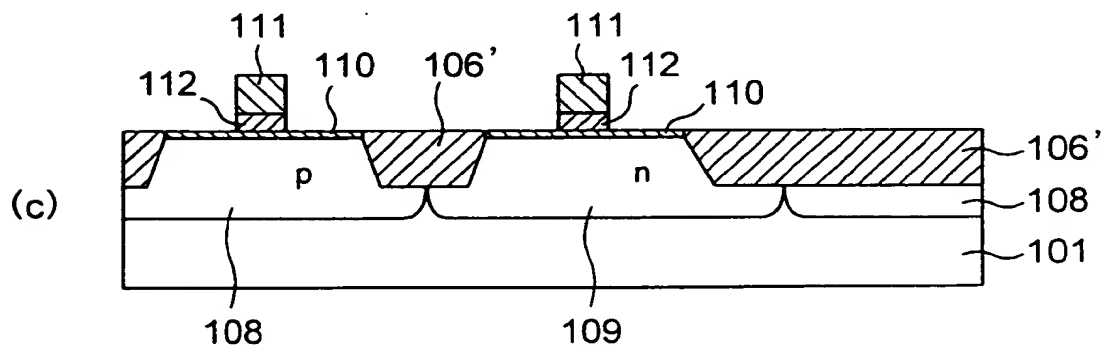
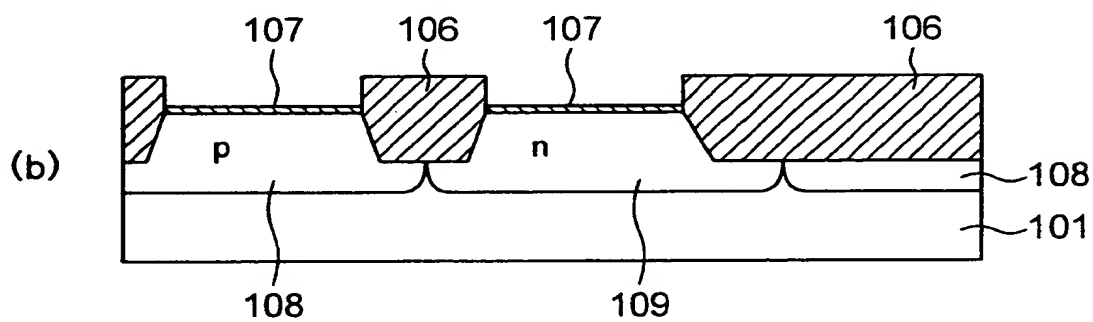
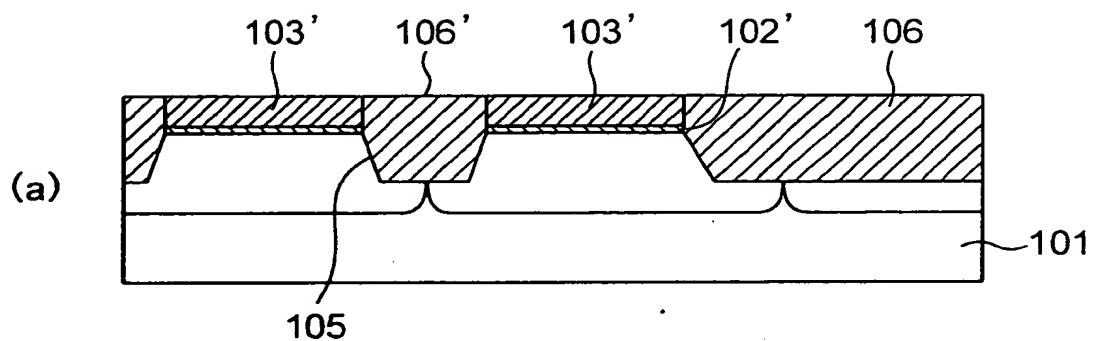
【図 6】



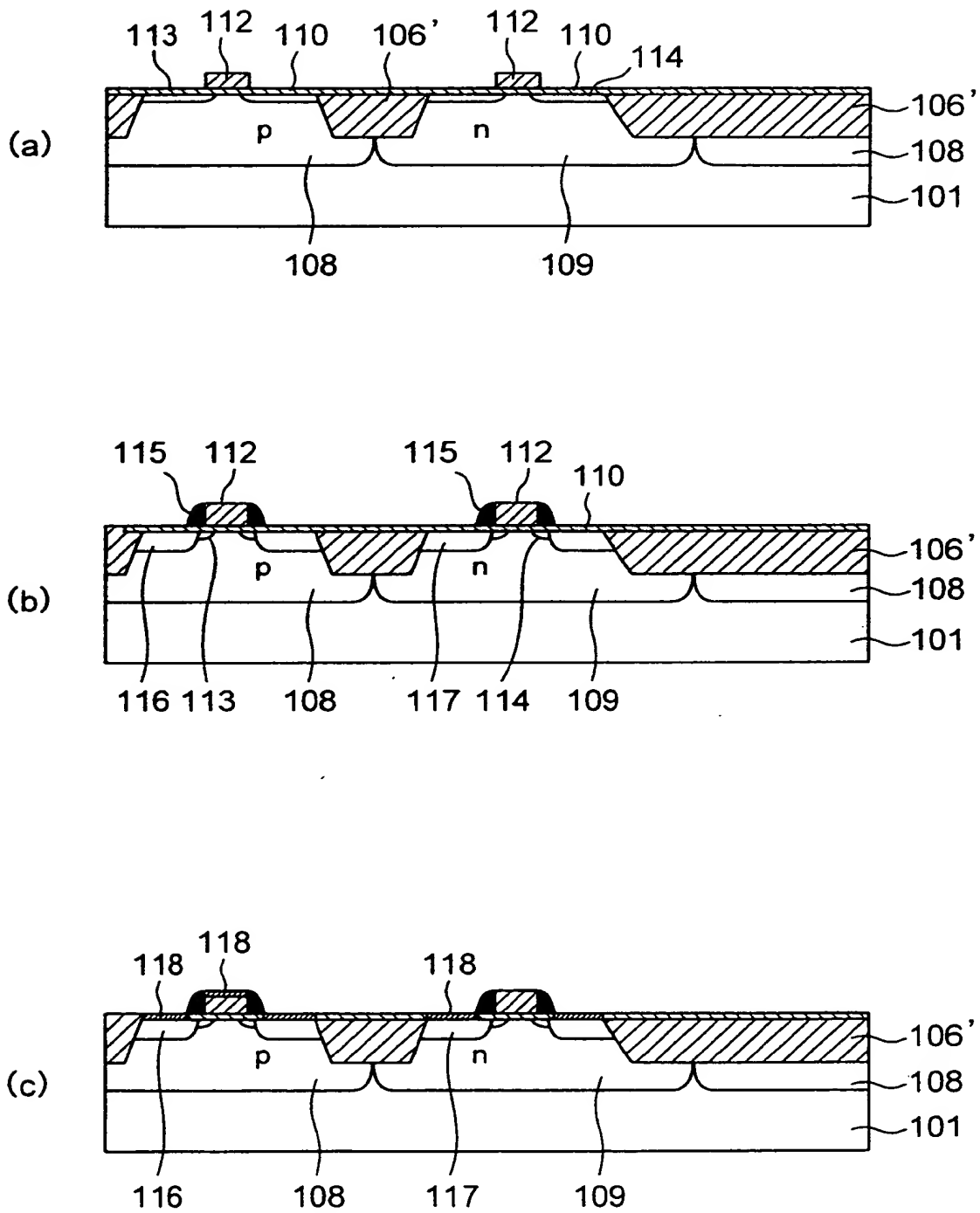
【図 7】



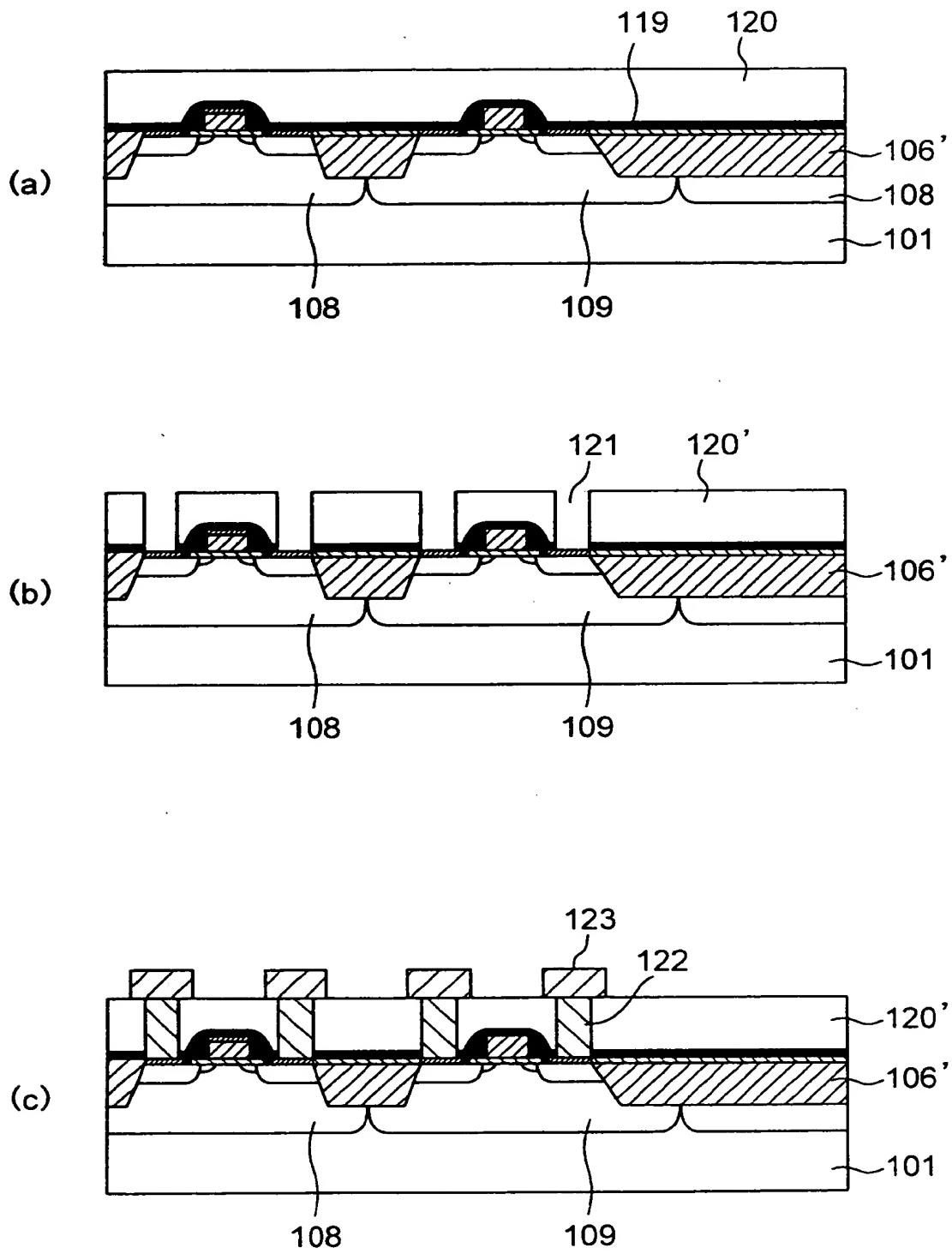
【図 8】



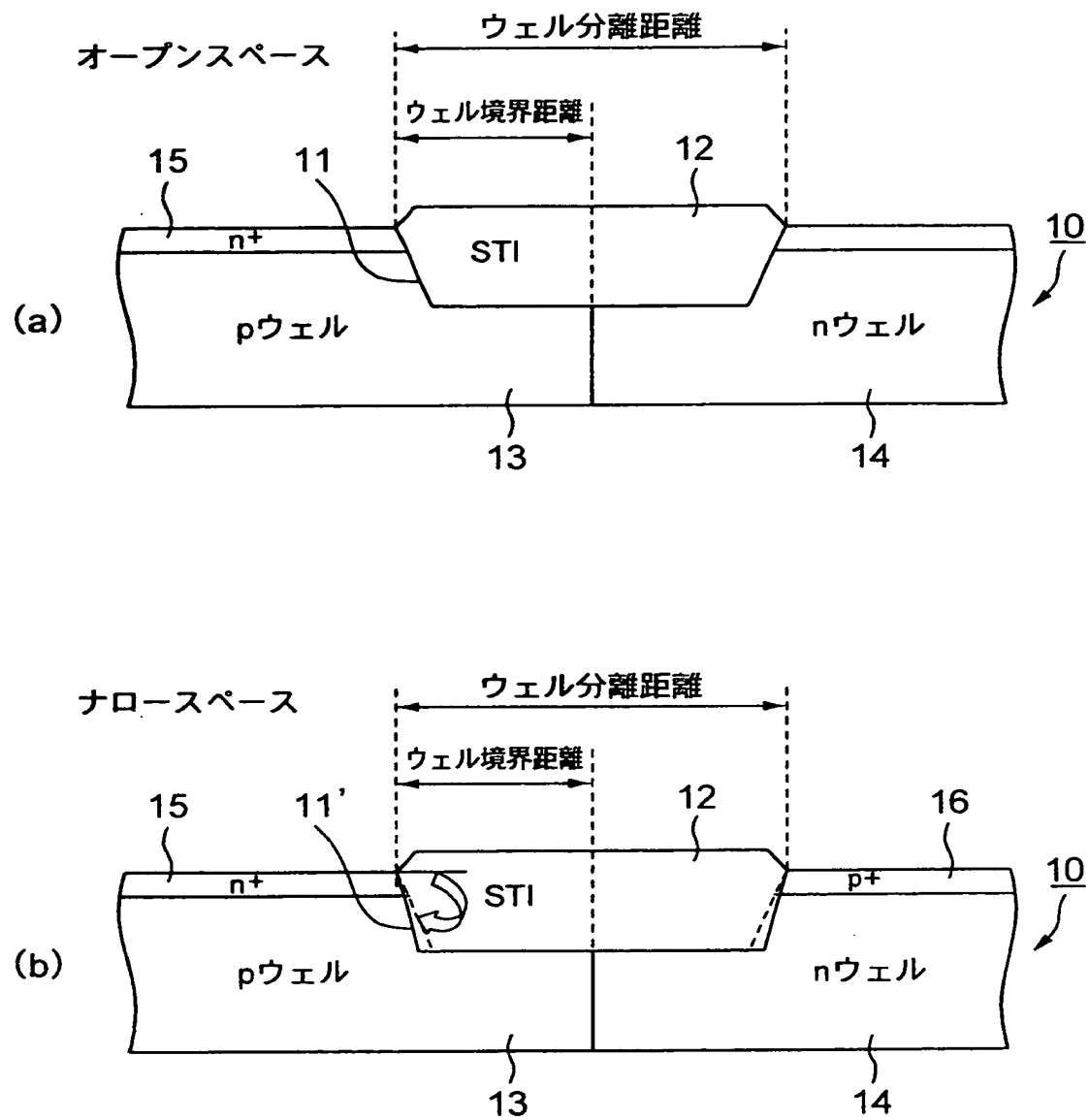
【図 9】



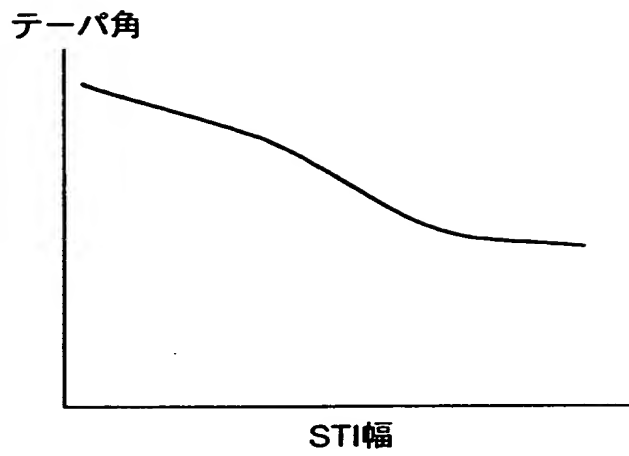
【図10】



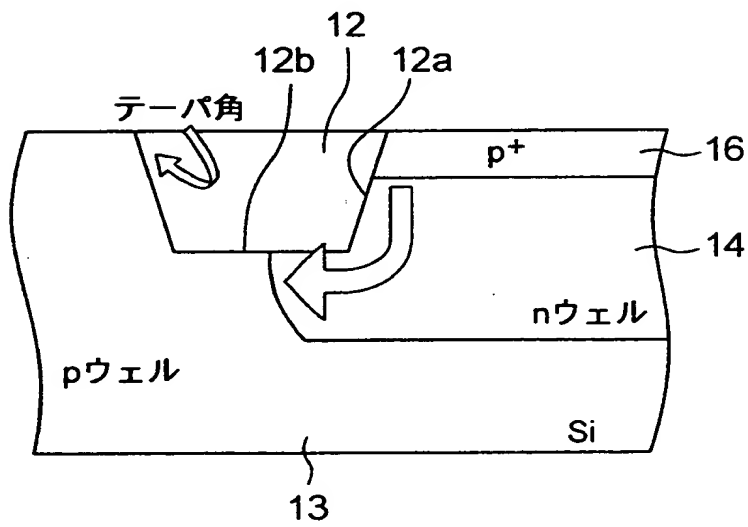
【図 11】



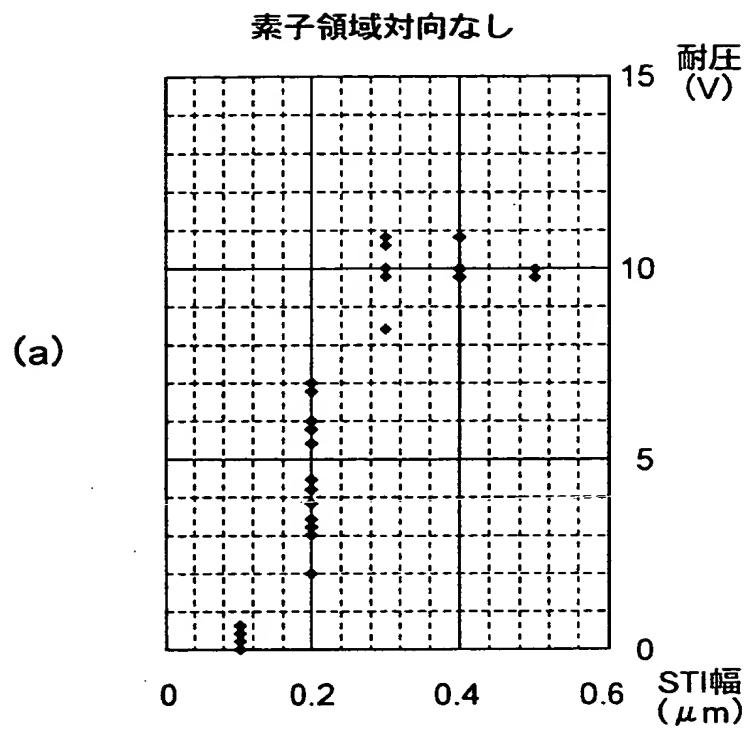
【図 1 2】



【図 1 3】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 S T I を用いた分離構造において、ウェルの不純物濃度を増大させることなく分離特性を向上させることのできる半導体装置を提供する。

【解決手段】 互いに逆導電型で、かつ接する第 1 および第 2 のウェル（1 3， 1 4）の境界部上に設けられた、浅いトレンチによるウェル分離構造（1 2）を有する半導体装置において、第 1 のウェル（1 3）中に設けられる第 1 の素子領域（1 5）と、第 2 のウェル（1 4）中に設けられる第 2 の素子領域（1 6）がウェル分離構造を挟んで対向位置にあるときには、素子領域が対向関係にならない場合よりもウェル分離距離を縮小して配置する。素子領域の一方は回路として機能しないダミー領域（1 9、 2 0、 2 1、 2 2）であってもよい。このような構成では S T I の側壁の角度が急峻になり、より S T I の幅を縮小することが可能となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝